

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-49293

(P2000-49293A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
H 0 1 L	27/04	H 0 1 L 27/04	H 5 F 0 3 8
	21/822	H 0 2 H 9/04	B 5 G 0 1 3
	23/62	H 0 1 L 23/56	A
H 0 2 H	9/04		

審査請求 未請求 請求項の数15 O L (全 18 頁)

(21) 出願番号 特願平10-217268

(22) 出願日 平成10年7月31日 (1998.7.31)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 安田 勝

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 上西 栄一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100078204

弁理士 滝本 智之 (外1名)

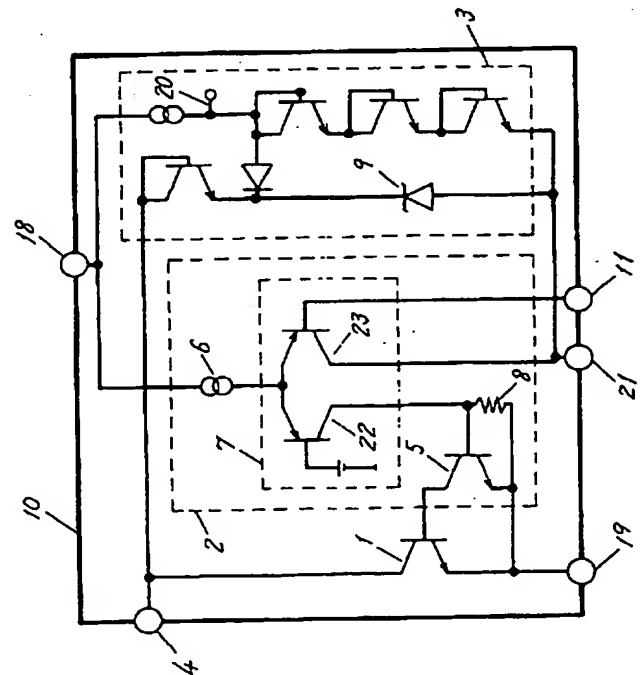
最終頁に続く

(54) 【発明の名称】 サージ保護回路装置

(57) 【要約】

【課題】 半導体集積回路装置の搬送時と実装時のサージ耐圧を切替えることによってサージ保護を強化したサージ保護回路装置を提供する。

【解決手段】 サージ保護用のトランジスタ1のコレクタを外部接続端子4に接続し、エミッタをサージ放電端子19に接続する。電源端子18に電圧が印加されたときトランジスタ1のベース、エミッタ間に比較的小さい値の抵抗が接続され、一方、電源端子18に電圧が印加されないときトランジスタ1のベース、エミッタ間に比較的大きい値の抵抗が接続される。搬送時にトランジスタ1のベース、エミッタ間の抵抗値が大となることによってトランジスタ1のコレクタ、エミッタ間のブレイクダウン電圧値を下げる事ができる。



1

【特許請求の範囲】

【請求項 1】 サージ放電端子及び外部接続端子を備えたサージ保護回路装置において、トランジスタのコレクタが前記外部接続端子に接続され、エミッタが前記サージ放電端子に接続され、このトランジスタのベースにこのトランジスタのコレクターエミッタ間の耐圧を異ならせる回路を備えたことを特徴とするサージ保護回路装置。

【請求項 2】 前記トランジスタのコレクタとベースとの間に抵抗を接続したことを特徴とする請求項 1 記載のサージ保護回路装置。

【請求項 3】 サージ放電端子及び外部接続端子を備えたサージ保護回路装置において、トランジスタのドレインが前記外部接続端子に接続され、ソースが前記サージ放電端子に接続され、前記トランジスタのゲートに前記トランジスタのドレインーソース間の電流量を切り替える電圧切替回路を接続し、このトランジスタのドレイン、ゲート間に抵抗を挿入接続したことを特徴とするサージ保護回路装置。

【請求項 4】 サージ放電端子及び外部接続端子を備えたサージ保護回路装置において、トランジスタのドレインが前記外部接続端子に接続され、ソースが前記サージ放電端子に接続され、前記トランジスタのゲートに前記トランジスタのドレインーソース間の電流量を切り替える電圧切替回路を接続し、このトランジスタのドレイン、ゲート間にコンデンサを挿入接続したことを特徴とするサージ保護回路装置。

【請求項 5】 半導体集積回路装置の内部回路に接続されこの内部回路を動作させる電源が供給される電源端子と、この内部回路に接続され基準電圧が供給される接地端子と、前記内部回路に接続され外部装置から信号が供給される外部接続端子と、信号端子とを備えた半導体集積回路装置において、所定の端子から入力したサージ電荷を他の端子から導出するサージ保護回路装置であって、

第 1、第 2、第 3 の端子を有して前記第 2、第 3 の端子間のインピーダンス値に応じて前記第 1、第 3 の端子間の耐圧が異なるトランジスタ回路と、

第 1、第 2、第 3 の端子を有して前記第 2 の端子に与えられる信号に応じて前記第 1、第 3 の端子間のインピーダンス値が異なる抵抗回路と、

出力端子を有して前記信号端子に与えられる信号に応じて前記出力端子に信号を出力する制御回路とを備え、前記トランジスタ回路の第 1 の端子と前記外部接続端子とを接続し、前記トランジスタ回路の第 3 の端子と前記他の端子又は前記接地端子若しくは前記電源端子とを接続し、前記抵抗回路の第 1、第 3 の端子と前記トランジスタ回路の第 2、第 3 の端子とを接続し、前記抵抗回路の第 2 の端子と前記制御回路の出力端子とを接続したサージ保護回路装置。

2

【請求項 6】 半導体集積回路の内部回路に接続されこの内部回路を動作させる電力が供給される電源端子と、この内部回路に接続され基準電圧が供給される接地端子と、前記内部回路に接続され外部装置から信号が供給される外部接続端子とを備えた半導体集積回路装置において、所定の端子から入力したサージ電荷を他の端子から導出するサージ保護回路装置であって、

第 1、第 2、第 3 の端子を有して前記第 2、第 3 の端子間のインピーダンス値に応じて前記第 1、第 3 の端子間の耐圧が異なるトランジスタ回路と、

第 1、第 2、第 3 の端子を有して前記第 2 の端子に与えられる信号に応じて前記第 1、第 3 の端子間のインピーダンス値が異なる抵抗回路と、

出力端子を有して前記電源端子に供給された電圧又は電流に応じて前記出力端子に信号を出力する制御回路とを備え、

前記トランジスタ回路の第 1 の端子と前記外部接続端子とを接続し、前記トランジスタ回路の第 3 の端子と前記他の端子又は前記接地端子若しくは前記電源端子とを接続し、前記抵抗回路の第 1、第 3 の端子と前記トランジスタ回路の第 2、第 3 の端子とを接続し、前記抵抗回路の第 2 の端子と前記制御回路の出力端子とを接続したサージ保護回路装置。

【請求項 7】 半導体集積回路装置の内部回路に接続されこの内部回路を動作させる電源が供給される電源端子と、この内部回路に接続され基準電圧が供給される接地端子と、前記内部回路に接続され外部装置から信号が供給される外部接続端子と、信号端子とを備えた半導体集積回路装置において、所定の端子から入力したサージ電荷を他の端子から導出するサージ保護回路装置であって、

第 1 のトランジスタと、第 2 のトランジスタと、出力端子を有して前記電源端子に電源が供給された状態において前記信号端子に与えられる信号に応じて前記出力端子に信号を出力する制御回路とを備え、

前記第 1 のトランジスタのコレクタ端子と前記外部接続端子とを接続し、前記第 1 のトランジスタのエミッタ端子と前記他の端子又は前記接地端子若しくは前記電源端子とを接続し、前記第 1 のトランジスタのベース端子と前記第 2 のトランジスタのコレクタ端子とを接続し、前記第 1 及び第 2 のトランジスタのエミッタ端子とを接続し、前記第 2 のトランジスタのベース端子と前記制御回路の出力端子とを接続したサージ保護回路装置。

【請求項 8】 半導体集積回路装置の内部回路に接続されこの内部回路を動作させる電源が供給される電源端子と、この内部回路に接続され基準電圧が供給される接地端子と、前記内部回路に接続され外部装置から信号が供給される外部接続端子とを備えた半導体集積回路装置において、所定の端子から入力したサージ電荷を他の端子から導出するサージ保護回路装置であって、

3

第1のトランジスタと、第2のトランジスタと、出力端子を有して前記電源端子に供給された電圧又は電流に応じて前記出力端子に信号を出力する制御回路とを備え、前記第1のトランジスタのコレクタ端子と前記外部接続端子とを接続し、前記第1のトランジスタのエミッタ端子と前記他の端子又は前記接地端子若しくは前記電源端子とを接続し、前記第1のトランジスタのベース端子と前記第2のトランジスタのコレクタ端子とを接続し、前記第1及び第2のトランジスタのエミッタ端子とを接続し、前記第2のトランジスタのベース端子と前記制御回路の出力端子とを接続したサージ保護回路装置。

【請求項9】 請求項7又は8載のサージ保護回路装置において、前記第1のトランジスタのベース端子と前記第2のトランジスタのコレクタ端子とを抵抗を介して接続したことを特徴とするサージ保護回路装置。

【請求項10】 請求項7又は8記載のサージ保護回路装置において、前記第1のトランジスタのベース、エミッタ端子間に抵抗を接続したことを特徴とするサージ保護回路装置。

【請求項11】 請求項7又は8記載のサージ保護回路装置において、前記外部接続端子と前記第1のトランジスタのベース端子間に抵抗を接続したことを特徴とするサージ保護回路装置。

【請求項12】 半導体集積回路装置の内部回路に接続されこの内部回路を動作させる電源が供給される電源端子と、この内部回路に接続され基準電圧が供給される接地端子と、前記内部回路に接続され外部装置から信号が供給される外部接続端子と、信号端子とを備えた半導体集積回路装置において、所定の端子から入力したサージ電荷を他の端子から導出するサージ保護回路装置であって、

第1のトランジスタと、第2のトランジスタと、出力端子を有して前記電源端子に電源が供給された状態において前記信号端子に与えられる信号に応じて前記出力端子に信号を出力する制御回路とを備え、

前記第1のトランジスタのドレイン端子と前記外部接続端子とを接続し、前記第1のトランジスタのソース端子と前記他の端子又は前記接地端子若しくは前記電源端子とを接続し、前記第1のトランジスタのゲート端子と前記第2のトランジスタのコレクタ端子とを接続し、前記第1のトランジスタのソース端子と前記第2のトランジスタのエミッタ端子とを接続し、前記第2のトランジスタのベース端子と前記制御回路の出力端子とを接続したサージ保護回路装置。

【請求項13】 半導体集積回路装置の内部回路に接続されこの内部回路を動作させる電源が供給される電源端子と、この内部回路に接続され基準電圧が供給される接地端子と、前記内部回路に接続され外部装置から信号が供給される外部接続端子とを備えた半導体集積回路装置において、所定の端子から入力したサージ電荷を他の端

4

子から導出するサージ保護回路装置であって、

第1のトランジスタと、第2のトランジスタと、出力端子を有して前記電源端子に供給された電圧又は電流に応じて前記出力端子に信号を出力する制御回路とを備え、前記第1のトランジスタのドレイン端子と前記外部接続端子とを接続し、前記第1のトランジスタのソース端子と前記他の端子又は前記接地端子若しくは前記電源端子とを接続し、第1のトランジスタのゲート端子と前記第2のトランジスタのコレクタとを接続し、前記第1のトランジスタのソース端子と前記第2のトランジスタのエミッタ端子とを接続し、前記第2のトランジスタのベース端子と前記制御回路の出力端子とを接続したサージ保護回路装置。

【請求項14】 請求項12又は13記載のサージ保護回路装置において、前記外部接続端子と前記第1のトランジスタのゲート端子間に抵抗を接続したことを特徴とするサージ保護回路装置。

【請求項15】 請求項12又は13記載のサージ保護回路装置において、前記外部接続端子と前記第1のトランジスタのゲート端子間にコンデンサを接続したことを特徴とするサージ保護回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体回路で使用するサージ保護回路装置に関するものである。

【0002】

【従来の技術】 従来のトランジスタを用いたサージ保護回路装置を図26に示す。図26において、トランジスタ1が+（プラス）サージ電流を吸収する役割を担っていて、外部接続端子4に印加された+サージによる電流を放電端子19を通して放電し、内部回路3を+サージから保護している。抵抗17はサージ印加に対するトランジスタ1の安定性を得るためのものである。一般にサージ放電端子19は半導体集積回路の最低電位に接続されることが多く、最低電位である接地端子に接続した場合は図27のようになる。

【0003】 ここで、サージに対する能力はトランジスタ1のコレクターエミッタ間がブレイクダウンする電圧（ブレイクダウン電圧若しくは耐圧：BVCE）が大きく影響するが、トランジスタ1のコレクターエミッタ間の耐圧はトランジスタ1のベースに接続された条件により変化する。その条件は大きく分けて、

(1) 開放（図27における抵抗17の抵抗値が ∞ ）の場合

(2) 適当な任意の値の抵抗17を介して接地の場合

(3) 接地（図27における抵抗17の抵抗値が0）の場合

の3条件が存在する。それぞれのブレイクダウン電圧を、(1) BVCEO、(2) BVCEr、(3) BVCEsとして表せば、

5

$$BVCEO \leq BVCEr \leq BVCEs$$

となり、一般的には(2)がよく利用される。

【0004】図27を用いて説明すると、トランジスタ1のコレクタにブレイクダウン電圧以上の+サージが印加されるとトランジスタ1がブレイクダウンを起こしてサージを吸収する。しかし、半導体集積回路10の通常動作時には、内部回路3と外部接続端子4との間には信号のやりとりが存在し、トランジスタ1が動作した場合には信号のやりとりを妨害してしまう。このため半導体集積回路の通常動作時には、トランジスタ1がブレイクダウンを起こさないようにする必要があり、ブレイクダウン電圧は外部接続端子4に発生する最大電圧以上に設定される。

【0005】

【発明が解決しようとする課題】ブレイクダウン電圧が高くなればサージ吸収能力は低くなり、サージの保護という面では弱くなる。サージ保護素子が接続されても外部接続端子4にかかる最大電圧が高い場合はその傾向が大きくなる。図27では内部回路3としてツェナーZAPによる一種のROM回路が示してあり、この場合の外部出力端子4は書き込み電圧端子と呼ばれる。ROMの書き込みの際には図28に示すように、この書き込み電圧端子に高電圧(以後、「書き込み電圧」という)をかけてツェナーダイオード9に対して逆方向の高電圧を印加すると、ツェナーダイオード9は低インピーダンス状態に変化するので、ZAP調整出力端子20の電圧を下げることができる。このようにして、通常動作時にはZAP調整出力端子20の電圧の高低によりROMとして使用できる。この場合、サージ保護回路装置が動作する最低電圧(動作開始電圧)は書き込み電圧以上になるように設定しなければならない。このように、一時的に高電圧を使用する場合でも、サージ保護素子の動作開始電圧を高く設定する必要がある。しかし、通常使用時にも動作開始電圧の高いままのサージ保護素子を使用するとサージ印加による半導体回路への影響が避けられなくなる。つまり、書き込み電圧以上にならないとサージ保護素子としては動作しないので図29に示すように、書き込みを行っていないツェナーダイオード9に対して書き込み電圧端子に+サージが印加されてもツェナーダイオード9には逆方向の書き込み電圧程度の電圧がかかってしまい、ツェナーダイオード9が低インピーダンス状態へと変化し、誤った書き込みがされてしまうことになる。

【0006】内部回路3が他のありふれた回路の場合の例を図30に示す。この場合の内部回路の動作は外部接続端子4に入力された電圧が接地との抵抗分割により減衰され、トランジスタ13によるエミッタホロウ出力端子31に信号として出力されるものである。この場合も同様にサージ保護素子の動作開始電圧は、外部接続端子4にかかる最大電圧以上に設定する必要がある。

【0007】近年の半導体素子の微細化や耐電圧の低い

6

素子の使用によりサージが印加された場合の半導体素子への影響も大きくなっている。しかし、実動作時には外部接続端子4はある電位をもつため、動作開始電圧は端子にかかる最大電圧以下には設定させることができないでいる。

【0008】また、サージの印加による半導体集積回路への影響については、半導体集積回路が単体で存在しているとき受ける影響が強く、実装された状態ではサージの分散、配線の浮遊容量等により半導体集積回路の端子への衝撃が緩和されるので動作点開始電圧を若干高く設定しても問題はない。しかし、実動作時に半導体回路に影響の無いようにすることとサージ保護の強化をすることとは相反することであり、従来の保護回路形式では動作開始電圧をある一定の電圧に決めるため、サージ保護素子の動作開始電圧はサージ保護素子の接続される端子の最大電圧以上に設定せざるを得なくなり、サージによる半導体回路への影響が避けられないという問題がある。

【0009】本発明は上記従来の課題を解決するものであり、動作開始電圧を切替えることのできるサージ保護素子を提供することを目的とする。

【0010】

【課題を解決するための手段】この目的を達成するために、本発明の請求項1に記載の発明は、サージ吸収用のトランジスタと、前記トランジスタのベースの接続状態を変更するための制御回路とを備え、前記トランジスタのコレクタをサージ保護する端子に接続し、前記トランジスタのエミッタはサージ電流を逃がすための端子に接続し、前記制御回路により前記トランジスタのベースをオープン状態とエミッタにほぼ等しい電位とに切替える。これによりサージ保護素子の動作開始電圧を $BVCEO$ と $BVCEs$ とに変化させることができる。

【0011】本発明の請求項2に記載の発明は、サージ吸収用のトランジスタと、前記トランジスタのベースの接続状態を変更するための制御回路とを備え、前記トランジスタのコレクタをサージ保護する端子に接続し、前記トランジスタのエミッタはサージ電流を逃がすための端子に接続し、前記トランジスタのコレクタとベース間を抵抗で接続し、前記制御回路により前記トランジスタのベースをエミッタとほぼ等しい電位の遮断状態とサージ保護する端子から抵抗でバイアスされた動作状態とに切替える。これにより、前記トランジスタのベースがエミッタとほぼ等しい電位の状態の場合にはトランジスタは $BVCEs$ でブレイクダウンし、サージ保護する端子から抵抗でバイアス状態の場合には、トランジスタがオンするのに必要なベース-エミッタ間電圧(VBE)以上の電圧がサージ保護する端子に印加されることによりトランジスタはオン状態になり、コレクタ電流を流してサージを吸収することができる。これにより、サージ保護素子の動作開始電圧を $BVCEs$ と VBE とに切替え

7

ることができる。

【0012】本発明の請求項3に記載の発明は、サージ吸収用のMOSトランジスタと、前記MOSトランジスタのゲートの接続状態を変更するための制御回路とを備え、前記MOSトランジスタのドレインをサージ保護する端子に接続し、前記MOSトランジスタのソースはサージ電流を逃がすための端子に接続し、前記MOSトランジスタのドレインとゲート間を抵抗で接続し、前記制御回路により前記MOSトランジスタのゲートをドレインにほぼ等しい電位の状態とサージ保護する端子から抵抗でバイアスされている状態とに切替える。これにより、前記MOSトランジスタゲートが接地状態の場合にはMOSトランジスタはブレイクダウン電圧（BVDS）でブレイクダウンし、サージ保護する端子から抵抗でバイアス状態の場合には、MOSトランジスタのオンに必要なゲートソース間電圧（VGS）以上の電圧がサージ保護する端子に印加されることにより、抵抗を通してゲートの電位を上昇させるのでMOSトランジスタはオン状態になり、ドレイン電流を流してサージを吸収することができる。これにより、サージ保護素子の動作電位をVGSとBVDSとに切替えることができる。

【0013】本発明の請求項4に記載の発明は、サージ吸収用のMOSトランジスタと、前記MOSトランジスタのゲートの接続状態を変更するための制御回路とを備え、前記MOSトランジスタのドレインをサージ保護する端子に接続し、前記MOSトランジスタのソースはサージ電流を逃がすための端子に接続し、前記MOSトランジスタのドレインとゲート間を容量で接続し、前記制御回路により前記MOSトランジスタのゲートの電位がソースにほぼ等しい電位と容量を通してサージ保護する端子から支配される状態とに切替える。これにより、前記MOSトランジスタゲートがソースにほぼ等しい電位の状態の場合にはMOSトランジスタはブレイクダウン電圧（BVDS）でブレイクダウンし、容量を通してサージ保護する端子から支配される状態の場合には、サージ保護する端子の電圧が上昇した時に容量の反対側も一緒に上昇するため、MOSトランジスタのゲートの電位がMOSトランジスタのオンに必要なゲートソース間電圧（VGS）以上になりMOSトランジスタがオンし、ドレイン電流を流してサージを吸収することができる。この場合、容量の両端の電位差をVCとすれば、サージ保護する端子の電位がVGS+VCまで上昇すると、MOSトランジスタがオンすることになる。これにより、サージ保護素子の動作電位をVGS+VCとBVDSとに切替えることができる。

【0014】本発明の請求項5に記載の発明は、半導体集積回路装置の内部回路に接続されこの内部回路を動作させる電源が供給される電源端子と、この内部回路に接続され基準電圧が供給される接地端子と、前記内部回路に接続され外部装置から信号が供給される外部接続端子

8

と、信号端子とを備えた半導体集積回路装置において、所定の端子から入力したサージ電荷を他の端子から導出するサージ保護回路装置であって、第1、第2、第3の端子を有して前記第2、第3の端子間のインピーダンス値に応じて前記第1、第3の端子間の耐圧が異なるトランジスタ回路と、第1、第2、第3の端子を有して前記第2の端子に与えられる信号に応じて前記第1、第3の端子間のインピーダンス値が異なる抵抗回路と、出力端子を有して前記電源端子に電源が供給された状態において前記信号端子に与えられる信号に応じて前記出力端子に信号を出力する制御回路とを備え、前記トランジスタ回路の第1の端子と前記外部接続端子とを接続し、前記トランジスタ回路の第3の端子と前記他の端子又は前記接地端子若しくは前記電源端子とを接続し、前記抵抗回路の第1、第3の端子と前記トランジスタ回路の第2、第3の端子とを接続し、前記抵抗回路の第2の端子と前記制御回路の出力端子とを接続したものである。

【0015】この構成を備え、信号端子を介して外部から信号が与えられると制御回路の出力端子に例えば2値信号が出力され、この信号に応じて抵抗回路の抵抗値が変化する。ここで、トランジスタ回路の第1、第3の端子間の耐圧は抵抗回路の抵抗値に応じて異なるので、この2値信号に応じてトランジスタ回路の耐圧を切替えることができる。例えば、外部接続端子を介して電圧が印加されてROM回路に書込みが行われるときには、この外部接続端子に接続されたトランジスタ回路の耐圧を高くしておきROM回路に高電圧を印加できるようにする。その他の状態においてはトランジスタ回路の耐圧を低く設定しておき、低い電圧でサージを吸収できるようにする。このようにしてROM回路に不要な書込みをすることを防止することができる。ここで、トランジスタ回路の耐圧は抵抗回路の抵抗値を調整して変えることができるので、内部回路に応じて種々の耐圧を選択することができる。

【0016】外部接続端子から流入したサージ電流は、独立に備えたサージ放電用の端子を介して外部に導出することができる。また、サージ放電用の端子と接地端子とを共用しても内部回路にダメージを与えることがない。この場合にはピン数を削減することができる。

【0017】本発明の請求項6に記載の発明は、半導体集積回路の内部回路に接続されこの内部回路を動作させる電力が供給される電源端子と、この内部回路に接続され基準電圧が供給される接地端子と、前記内部回路に接続され外部装置から信号が供給される外部接続端子とを備えた半導体集積回路装置において、所定の端子から入力したサージ電荷を他の端子から導出するサージ保護回路装置であって、第1、第2、第3の端子を有して前記第2、第3の端子間のインピーダンス値に応じて前記第1、第3の端子間の耐圧が異なるトランジスタ回路と、第1、第2、第3の端子を有して前記第2の端子に与え

られる信号に応じて前記第1、第3の端子間のインピーダンス値が異なる抵抗回路と、出力端子を有して前記電源端子に供給された電圧又は電流に応じて前記出力端子に信号を出力する制御回路とを備え、前記トランジスタ回路の第1の端子と前記外部接続端子とを接続し、前記トランジスタ回路の第3の端子と前記他の端子又は前記接地端子若しくは前記電源端子とを接続し、前記抵抗回路の第1、第3の端子と前記トランジスタ回路の第2、第3の端子とを接続し、前記抵抗回路の第2の端子と前記制御回路の出力端子とを接続したものである。

【0018】この構成を備えると、電源端子に電圧が印加されない状態には制御回路の出力端子に信号が出力されず、電源端子に電圧が印加されたときに信号が出力される。この信号に応じて抵抗回路の抵抗値を異ならせることができる。ここで、電源端子に電圧が印加されない状態でも抵抗回路には所定の抵抗値を生起させることができ、電源端子に電圧が印加されたときに生起する値とを使い分けることができる。トランジスタ回路の第1、第3の端子間の耐圧は抵抗回路の抵抗値に応じて異なるので、この2値信号に応じてトランジスタ回路の耐圧を切替えることができる。この構成を有することによって半導体集積回路を搬送するときサージ保護性能を向上させることができる。例えば搬送時に外部接続端子に接続されたトランジスタ回路の耐圧を低く設定し、動作時においては耐圧を高く設定しておくことで、動作時に比較的広いダイナミックレンジを確保しながら搬送時のサージに対する品質を向上させることができる。

【0019】外部接続端子から流入したサージ電流は、独立に備えたサージ放電用の端子を介して外部に導出することができ、また、サージ放電用の端子と接地端子とを共用しても内部回路にダメージを与えることがない。この場合にはピン数を削減することができる。

【0020】尚、トランジスタ回路の耐圧は抵抗回路の抵抗値を調整して変えることができるので、内部回路に応じて種々の耐圧を選択することができる。

【0021】本発明の請求項7記載の発明は、半導体集積回路装置の内部回路に接続されこの内部回路を動作させる電源が供給される電源端子と、この内部回路に接続され基準電圧が供給される接地端子と、前記内部回路に接続され外部装置から信号が供給される外部接続端子と、信号端子とを備えた半導体集積回路装置において、所定の端子から入力したサージ電荷を他の端子から導出するサージ保護回路装置であって、第1のトランジスタと、第2のトランジスタと、出力端子を有して前記電源端子に電源が供給された状態において前記信号端子に与えられる信号に応じて前記出力端子に信号を出力する制御回路とを備え、前記第1のトランジスタのコレクタ端子と前記外部接続端子とを接続し、前記第1のトランジスタのエミッタ端子と前記他の端子又は前記接地端子若しくは前記電源端子とを接続し、前記第1のトランジ

スタのベース端子と前記第2のトランジスタのコレクタ端子とを接続し、前記第1及び第2のトランジスタのエミッタ端子とを接続し、前記第2のトランジスタのベース端子と前記制御回路の出力端子とを接続したものである。

【0022】この構成を備えることによって、例えば信号端子に与えられる2値信号によって制御回路に2値信号が出力され、この信号に応じて第2のトランジスタのコレクタ、エミッタ間が導通、遮断される。第2のトランジスタが導通状態において、このトランジスタのコレクタ、エミッタ間の抵抗値は低い値となり、遮断状態において高抵抗値となる。第1のトランジスタのベース、エミッタ間が低抵抗値であるとき、第1のトランジスタのコレクタ、エミッタ間の耐圧を上げ、第1のトランジスタのベース、エミッタ間が高抵抗値であるとき、第1のトランジスタのコレクタ、エミッタ間の耐圧を下げる。

【0023】この構成を有する利点として半導体集積回路の内部回路にROM回路を備えている場合が上げられる。つまり、外部接続端子を介して電圧が印加されてROM回路に書き込みが行われるときには、この外部接続端子に接続されたトランジスタ回路の耐圧を高くしておきROM回路に高電圧を印加できるようにする。その他の状態においてはトランジスタ回路の耐圧を低く設定しておき、低い電圧でサージを吸収できるようにする。このようにしてROM回路に対する不要な書き込みをすることを防止することができる。

【0024】本発明の請求項8記載の発明は、半導体集積回路装置の内部回路に接続されこの内部回路を動作させる電源が供給される電源端子と、この内部回路に接続され基準電圧が供給される接地端子と、前記内部回路に接続され外部装置から信号が供給される外部接続端子とを備えた半導体集積回路装置において、所定の端子から入力したサージ電荷を他の端子から導出するサージ保護回路装置であって、第1のトランジスタと、第2のトランジスタと、出力端子を有して前記電源端子に供給された電圧又は電流に応じて前記出力端子に信号を出力する制御回路とを備え、前記第1のトランジスタのコレクタ端子と前記外部接続端子とを接続し、前記第1のトランジスタのエミッタ端子と前記他の端子又は前記接地端子若しくは前記電源端子とを接続し、前記第1のトランジスタのベース端子と前記第2のトランジスタのコレクタ端子とを接続し、前記第1及び第2のトランジスタのエミッタ端子とを接続し、前記第2のトランジスタのベース端子と前記制御回路の出力端子とを接続したものである。

【0025】この構成を備えることによって、電源端子に電圧が印加されない状態には制御回路の出力端子に信号が出力されず、電源端子に電圧が印加されたときに信号が出力されるようにしてやり、この信号に応じて第2

11

のトランジスタのコレクタ、エミッタ間の抵抗値を異ならせることができる。ここで、電源端子に電圧が印加されない状態には第2のトランジスタのコレクタ、エミッタ間の抵抗値を大きくすることは容易である。一方、電源端子に電圧が印加されたときには小さい値とすることができる。第1のトランジスタのコレクタ、エミッタ端子間の耐圧は、このトランジスタのベース、エミッタ間の抵抗値に応じて異なるので、トランジスタ回路の耐圧を切替えることができる。

【0026】この構成を有することによって半導体集積回路を搬送するときサージ保護性能を向上させることができる。例えば搬送時に外部接続端子に接続された第1のトランジスタの耐圧を低くし、動作時には耐圧を高く設定しておくことで、動作時に比較的広いダイナミックレンジを確保しながら搬送時のサージに対する品質を向上させることができる。

【0027】本発明の請求項9記載の発明は、請求項7又は8記載のサージ保護回路装置の発明において、前記第1のトランジスタのベース端子と前記第2のトランジスタのコレクタ端子とを抵抗を介して接続したものである。

【0028】第1のトランジスタのベース端子と第2のトランジスタのコレクタ端子とを接続した抵抗値に応じて、第2のトランジスタが動作したときに第1のトランジスタの耐圧を決定することができる。

【0029】本発明の請求項10記載の発明は、請求項7又は8記載のサージ保護回路装置の発明において、前記第1のトランジスタのベース、エミッタ端子間に抵抗を接続したことを特徴とするものである。

【0030】第1のトランジスタのベース端子とエミッタ端子とを接続した抵抗値に応じて、第2のトランジスタが遮断したときに第1のトランジスタの耐圧を決定することができる。

【0031】本発明の請求項11記載の発明は、請求項7又は8記載のサージ保護回路装置の発明において、前記外部接続端子と前記第1のトランジスタのベース端子間に抵抗を接続したことを特徴とするものである。

【0032】この構成を有することによって、外部接続端子に電圧が印加されると抵抗を介して第1のトランジスタのベースに電圧が与えられ、第1のトランジスタが動作し、第1のトランジスタのコレクタ、エミッタ間の電圧を低電圧にする。この状態は、電源端子に電圧が印加されないときでも生起させることができ、半導体集積回路装置を搬送中に低い電圧(VBE)でサージを吸収し、サージの侵入を阻止することができる。しかし、電源端子に電圧が印加され第2のトランジスタのベース端子に電圧が与えられると、第1のトランジスタは遮断され、第1のトランジスタのベース、エミッタ間の抵抗値に応じて第1のトランジスタのコレクタ、エミッタ間のBVCEsで耐圧が決定され、この値に応じて外部端子

12

に印加された電圧を遮断する。

【0033】本発明の請求項12記載の発明は、半導体集積回路装置の内部回路に接続されこの内部回路を動作させる電源が供給される電源端子と、この内部回路に接続され基準電圧が供給される接地端子と、前記内部回路に接続され外部装置から信号が供給される外部接続端子と、信号端子とを備えた半導体集積回路装置において、所定の端子から入力したサージ電荷を他の端子から導出するサージ保護回路装置であって、第1のトランジスタと、第2のトランジスタと、出力端子を有して前記電源端子に電源が供給された状態において前記信号端子に与えられる信号に応じて前記出力端子に信号を出力する制御回路とを備え、前記第1のトランジスタのドレイン端子と前記外部接続端子とを接続し、前記第1のトランジスタのソース端子と前記他の端子又は前記接地端子若しくは前記電源端子とを接続し、第1のトランジスタのゲート端子と前記第2のトランジスタのコレクタ端子とを接続し、前記第1のトランジスタのソース端子と前記第2のトランジスタのエミッタ端子とを接続し、前記第2のトランジスタのベース端子と前記制御回路の出力端子とを接続したものである。

【0034】この構成を備えることによって、例えば信号端子に与えられる2値信号によって制御回路に2値信号が出力され、この信号に応じて第2のトランジスタが導通、遮断される。第2のトランジスタが導通状態において、このトランジスタのコレクタ、エミッタ間の電圧を低い値とし、遮断状態において高い値とすることができる。第1のトランジスタのゲート、ソース間が低い電圧値であるとき、第1のトランジスタのドレイン、ソース間の耐圧で外部端子に入力される電圧を遮断し、第1のトランジスタのゲートに高い電圧値が印加されると、外部接続端子に侵入したサージを吸収することができる。

【0035】本発明の請求項13記載の発明は、半導体集積回路装置の内部回路に接続されこの内部回路を動作させる電源が供給される電源端子と、この内部回路に接続され基準電圧が供給される接地端子と、前記内部回路に接続され外部装置から信号が供給される外部接続端子とを備えた半導体集積回路装置において、所定の端子から入力したサージ電荷を他の端子から導出するサージ保護回路装置であって、第1のトランジスタと、第2のトランジスタと、出力端子を有して前記電源端子に供給された電圧又は電流に応じて前記出力端子に信号を出力する制御回路とを備え、前記第1のトランジスタのドレイン端子と前記外部接続端子とを接続し、前記第1のトランジスタのソース端子と前記他の端子又は前記接地端子若しくは前記電源端子とを接続し、第1のトランジスタのゲート端子と前記第2のトランジスタのコレクタとを接続し、前記第1のトランジスタのソース端子と前記第2のトランジスタのエミッタ端子とを接続し、前記第2

13

のトランジスタのベース端子と前記制御回路の出力端子とを接続したものである。

【0036】この構成を備えることによって、電源端子に電圧が印加されない状態には制御回路の出力端子に信号が出力されず、電源端子に電圧が印加されたときに信号が出力されるように設定することができ、この信号に応じて第2のトランジスタが導通、遮断される。第2のトランジスタが導通状態において、このトランジスタのコレクタ、エミッタ間の電圧を低い値とし、遮断状態において高い値とすることができる。第1のトランジスタのゲート、ソース間が低い電圧値であるとき、第1のトランジスタのドレイン、ソース間の耐圧で外部端子に入力される電圧を遮断し、第1のトランジスタのゲートに高い電圧値が印加されると、外部接続端子に侵入しサージを吸収することができる。

【0037】本発明の請求項14記載の発明は、請求項12又は13記載のサージ保護回路装置において、前記外部接続端子と前記第1のトランジスタのゲート端子間に抵抗を接続したことを特徴とするものである。

【0038】この構成を有することによって、外部接続端子に電圧が印加されると抵抗を介して第1のトランジスタのゲートに電圧が与えられ、第1のトランジスタが動作し、第1のトランジスタのドレイン、ソース間を低電圧にする。この状態は、電源端子に電圧が印加されない状態でも生起させることができ、サージの侵入を阻止することができる。電源端子に電圧が印加され、第2のトランジスタのゲート端子に電圧が与えられると、第1のトランジスタは遮断され、第1のトランジスタのドレイン、ソース間の耐圧に応じて外部端子に印加された電圧を遮断する。

【0039】本発明の請求項15記載の発明は、請求項12又は13記載のサージ保護回路装置において、前記外部接続端子と前記第1のトランジスタのゲート端子間にコンデンサを接続したことを特徴とするものである。

【0040】この構成を有することによって、外部接続端子に電圧が印加されるとコンデンサを介して第1のトランジスタのゲートに電圧が与えられ、第1のトランジスタのドレイン、ソース間を導通状態にする。この状態は、電源端子に電圧が印加されない状態でも生起させることができ、サージの侵入を阻止することができる。しかし、電源端子に電圧が印加され、第2のトランジスタのゲート端子に電圧が与えられると、第1のトランジスタは遮断され、第1のトランジスタのドレイン、ソース間の耐圧に応じて外部端子に印加された電圧を遮断する。

【0041】

【発明の実施の形態】以下本発明の実施の形態について、図面を参照しながら説明する。

【0042】図1は第1の実施の形態におけるトランジスタを用いたサージ保護回路装置を示すものである。

14

【0043】図1において、1はサージを吸収するトランジスタであり、2は、トランジスタ1のベースと接地間のインピーダンスを異ならせる働きを有する制御回路であり、3は内部回路である。4は外部接続端子であり、サージから内部回路を保護する機能を有する回路をその内部に有する端子である。ここで、従来の技術の場合同様に、サージ放電端子19を接地端子21に接続した場合は図2のようになる。

【0044】図2において、制御回路2によってトランジスタ1のベースをトランジスタ1のエミッタにほぼ等しい電位の状態とオープン状態とに切替えることができる。

【0045】図1に示した制御回路2の場合では電源端子18から電源が印加されていて、スイッチ7がトランジスタ22側に切替わると電流源6からの電流によりトランジスタ5のベースおよび抵抗8に電流が流れ、トランジスタ5がオンしてトランジスタ1のベースとエミッタとがほぼ等しい電位状態になる。このため、トランジスタ1のブレイクダウン電圧はBVCE Sとなる。電源が印加されていない状態では電流源6がオフ状態であり、また電源がオンでもスイッチ7がトランジスタ23側に切替わっている状態ではトランジスタ5のベース電流が供給されないのでトランジスタ5はオフし、トランジスタ1のベースはオープン状態となりブレイクダウン電圧はBVCE Oとなる。つまり、電源オンかつスイッチ7がトランジスタ22側の場合と、電源オフまたはスイッチ7がトランジスタ23側の場合とで、サージ保護素子の動作開始電圧をBVCE OとBVCE Sとに切替えることができる。図2では内部回路3としてツェナーZAPの一例を示している。

【0046】また、ツェナーZAPの書込みをする際の様子を図3に示す。書込みの際は、電源24を入れてかつスイッチ7をトランジスタ22側にすることで、トランジスタ1のベースとエミッタとをほぼ同電位状態にし、サージ保護素子としての動作開始電圧を書込み電圧以上に上昇させておき、書込み端子である外部接続端子4に外部から書込み電圧25を与えることにより、ツェナーダイオード9に逆電圧を発生させ書込み動作させることができる。

【0047】次に、通常動作時に+サージが印加された時の様子を図4に、搬送時や未使用時に+サージが印加された時の様子を図5に示す。

【0048】通常動作時はスイッチ7をトランジスタ23側に切替え、また搬送時や未使用時には電源自体がオフしているので電流源6がオフすることで、サージ保護素子としての動作開始電圧を書込み電圧以下に降下させる。この状態で外部接続端子4に+サージ電圧が印加された場合にはサージ保護素子の働きにより外部接続端子4の電圧は書込み電圧以下に抑えられ、ツェナーダイオード9に誤って書込みされることはなくなる。このよう

に書込みの際には書込みに影響を与えることのない素子、通常使用時や電源オフ時にはツェナーダイオード9への誤った書込みを無くすことのできる素子として働くことができる。

【0049】また、内部回路が一般的な場合を図6に示す。ここで、従来の技術の場合同様に、サージ放電端子19を接地端子21に接続した場合は図7のようになる。この場合も電源がオンでスイッチ7がトランジスタ22側に流れた際にはサージ保護素子としての動作開始電圧を外部接続端子4にかかる最大電圧以上に上昇させておき、信号への影響が無いようにする。また、信号を通さない時にはスイッチ7をトランジスタ23側へ切替えて、電源オフ時には電流源6自体の電流がオフすることでサージ保護素子の動作開始電圧を下げてやる。このことにより、電源のかかっていない場合の+サージ印加に対して低電圧から動作でき、早期サージ吸収を行うことができる。

【0050】一般的に電源オン時には、外部接続端子4は信号を常時やりとりをしている場合が多いので、その場合はスイッチ7が不要で図8に示すような回路にして電源オン/オフでサージ保護素子の動作開始電圧を変化させても良い。

【0051】以上のように第1の実施の形態によれば、サージ吸収用のトランジスタと、前記トランジスタのベースの接続状態を変更するための制御回路とを備えることによりサージ保護素子の動作開始電圧を切替えることができる。

【0052】なお、本実施の形態ではトランジスタ1のベースにトランジスタ5のコレクタのみを接続しているが、図9に示すように、トランジスタ1のベースとトランジスタ5のコレクタ間に抵抗30を挿入すれば、トランジスタ5がオンした際のトランジスタ1のブレイクダウン電圧は $BVCER$ となり、トランジスタ1のブレイクダウン電圧を $BVCER$ と $BVCEO$ とに切替えることもできる。

【0053】また、図10に示すように、トランジスタ1のベースとエミッタとの間に抵抗32を追加すれば、トランジスタ5がオフした際のトランジスタ1のブレイクダウン電圧を $BVCER$ とすることができ、トランジスタ1のブレイクダウン電圧を $BVCER$ と $BVCEs$ とに切替えることもできる。

【0054】更に、図11に示すように、トランジスタ1のベースとトランジスタ5のコレクタ間に抵抗30を、トランジスタ1のベースとエミッタとの間に抵抗32をそれぞれ挿入すれば、トランジスタ5がオン/オフした際のトランジスタ1のブレイクダウン電圧をそれぞれ $BVCER1$ と $BVCER2$ とに切替えることもできる。

【0055】次に、図12は第2の実施の形態におけるトランジスタを用いたサージ保護回路装置を示すもので

ある。

【0056】図12において、33は抵抗であり、第1の実施の形態における構成に対してトランジスタ1のコレクタとベースとの間に抵抗33が挿入された構成である。さらに、サージ放電端子19を接地端子21に接続した場合は図13のようになり、以下この回路図での動作を説明する。

【0057】制御回路2によりトランジスタ1のベースはエミッタにはほぼ等しい電位状態と、外部接続端子4から抵抗33でバイアス状態とに切替えることができる。図13に示した制御回路2の場合では電源がオンすれば電流源6の電流が抵抗8およびトランジスタ5のベースに流れてトランジスタ5はオンし、トランジスタ1のベースはエミッタにはほぼ等しい電位状態になる。このため、トランジスタ1のブレイクダウン電圧は $BVCEs$ となる。電源オフの際はトランジスタ5のベース電流が供給されないのでトランジスタ5がオフし、トランジスタ1のベースは外部接続端子4から抵抗33でバイアスされた状態になる。この状態で外部接続端子4に VBE 以上のサージが印加されると、抵抗33を通してトランジスタ1のベース電流が流れ、トランジスタ1がオンし、トランジスタ1のコレクタからサージを吸収することができる。つまり、電源がオンの時とオフの時とでサージ保護素子としての動作開始電圧を $BVCEs$ と VBE とに切替えることができる。電源が入り通常動作しているときには、サージ保護素子の動作開始電圧 $BVCEs$ を外部接続端子4にかかる最大電圧以上に上昇させておき、電源オフ時にはサージ保護素子の動作開始電圧が VBE まで下がるので、電源オン時には信号のやりとりが問題なくでき、電源がオフの状態では、外部接続端子4に+サージが印加されてもサージ保護素子の働きで外部接続端子4の電圧は約 VBE に抑えられ、内部回路3にかかる電圧も低く抑えることができる。

【0058】以上のように第2の実施の形態によれば、サージ吸収用のトランジスタと、前記トランジスタのベースの接続状態を変更するための制御回路と、+サージ印加時にベース電流を供給する抵抗とを備えることにより、サージ保護素子の動作開始電圧を切替えることができる。

【0059】なお、図14に示すように、トランジスタ1のベースとトランジスタ5のコレクタ間に抵抗30を挿入すれば、トランジスタ5がオンした際のトランジスタ1のブレイクダウン電圧は $BVCER$ となり、トランジスタ1のブレイクダウン電圧を $BVCER$ と VBE とに切替えることもできる。

【0060】また、図15に示すように、トランジスタ1のベースとエミッタとの間に抵抗32を追加すれば、外部接続端子4とサージ放電端子19との間を抵抗33と抵抗32とで抵抗分割した点がトランジスタ1のベースに入ることになるので、トランジスタ1がオンするの

17

に必要な外部接続端子4の電位を調整することができるようになる。

【0061】更に、図16に示すように、トランジスタ1のベースとトランジスタ5のコレクタ間に抵抗30を挿入し、トランジスタ1のベースとエミッタとの間に抵抗32を挿入すれば、トランジスタ5がオン時にはトランジスタ1のブレイクダウン電圧 $BVCER$ 以上で放電する回路と、オフの時には抵抗33と抵抗32の抵抗分割により抵抗32に発生する電圧が VBE となるときの外部接続端子の電圧以上で放電する回路との切替えをすることができるようになる。

【0062】以上の第1の実施の形態および第2の実施の形態ではサージ保護トランジスタとしてNPN型トランジスタを例に示してきたが、PNP型トランジスタを用いる場合は図17に示すような回路で構成することができ、－（マイナス）サージに対しての保護素子として動作する。また、一般的にこの場合サージ放電端子19は半導体集積回路の最高電位に接続することが多いと思われる。

【0063】最高電位である電源端子18に接続された場合を図18に示す。この場合、電源オンでは電流源26の電流が抵抗27とトランジスタ29のベースに流れてトランジスタ29はオンし、トランジスタ28のベースとエミッタがほぼ同じ電位になり、トランジスタ28がオフする。この時のブレイクダウン電圧は $BVCEs$ となる。このブレイクダウン電圧は外部接続端子4が最低電位のときでもトランジスタ28が動作しない値に設定しておけば半導体集積回路10が動作している時には信号のやりとりに影響を与えることはないサージ保護素子として使用できる。電源オフの場合はトランジスタ29のベース電流が流れないのでトランジスタ29はオフし、トランジスタ28のベースはオープン状態になり、トランジスタ28のブレイクダウン電圧は $BVCEO$ となる。すなわち、NPN型トランジスタの場合と同様の効果をもたらすことができる。

【0064】同様な考えで、上記でNPN型トランジスタで説明してきたことがPNP型トランジスタでも可能となる。

【0065】次に、図19は第3の実施の形態におけるMOSトランジスタを用いたサージ保護回路装置を示すものである。

【0066】図19において、14はMOSトランジスタであり、第2の実施の形態における図12に対してトランジスタ1をMOSトランジスタ14に置き換え、トランジスタのベース、コレクタ、エミッタをそれぞれゲート、ドレイン、ソースに置き換え、MOSトランジスタ14のバックゲートを適当な電位に接続した構成である。

【0067】一般的にサージ放電端子19およびNch-MOSトランジスタのバックゲートは最低電位に接続

18

することが多く、これらを接地端子21に接続した場合は図20のようになり、以下この回路図での動作を説明する。

【0068】制御回路2によりMOSトランジスタ14のゲートはソースにほぼ等しい電位の状態と、外部接続端子4から抵抗33でバイアス状態とに切替えることができる。電源がオンすれば電流源6の電流でトランジスタ5をオンし、MOSトランジスタ14のゲートはソースにほぼ等しい電位の状態になる。このため、MOSトランジスタ14のブレイクダウン電圧は $BVDSS$ となる。電源オフの際は電流の供給がなくなるのでトランジスタ5はオフし、MOSトランジスタ14のゲートは外部接続端子4から抵抗33でバイアスされた状態になる。この状態で外部接続端子4に VGS 以上の電圧が印加されると、抵抗33を通してMOSトランジスタ14のゲート電位も VGS 以上に上昇し、MOSトランジスタ14がオンし、MOSトランジスタ14のドレインからサージを吸収することができる。つまり、電源がオンの時とオフの時とでサージ保護素子としての動作開始電圧を $BVDSS$ と VGS とに切替えることができる。電源が入り通常動作しているときには、サージ保護素子の動作開始電圧を外部接続端子4にかかる最大電圧以上に設定することで、外部接続端子4と内部回路3との間の信号のやりとりに影響が無いようにできる。電源がオフの状態では、外部接続端子4に＋サージが印加されてもサージ保護素子の働きで外部接続端子4の電圧は約 VGS に抑えられ、内部回路3にかかる電圧も低く抑えられる。

【0069】以上のように第3の実施の形態によれば、サージ吸収用のMOSトランジスタと、前記MOSトランジスタのゲートの接続状態を変更するための制御回路と、サージ印加時に外部接続端子の電位をゲート電位に伝達させる抵抗とを備えることにより、サージ保護素子の動作開始電圧を切替えることができる。

【0070】なお、図21に示すように、MOSトランジスタ14のゲートとソースとの間に抵抗32を追加すれば、外部接続端子4とサージ放電端子19との間を抵抗33と抵抗32とで抵抗分割した点がMOSトランジスタ14のゲートに入ることになるので、MOSトランジスタ14がオンするのに必要な外部接続端子4の電位を調整することができるようになる。

【0071】次に、図22は第4の実施の形態におけるMOSトランジスタを用いたサージ保護回路装置を示すものである。

【0072】図22において、34は容量であり、第3の実施の形態における図19に対して抵抗33を容量34に置き換えた構成である。

【0073】制御回路2によりMOSトランジスタ14のゲートの電位はソースにほぼ等しい電位の状態と、容量34によって支配される状態とに切替えることができ

19

る。電源がオンすれば電流源 6 の電流でトランジスタ 5 をオンし、MOS トランジスタ 14 のゲートはソースにほぼ等しい電位の状態になる。このため、MOS トランジスタ 14 のブレイクダウン電圧は $BVDSS$ となる。電源オフの際は電流の供給がなくなるのでトランジスタ 5 はオフし、MOS トランジスタ 14 のゲート電位は容量 34 の両端間電圧と外部接続端子 4 により決まる。容量の両端間の電圧を VC とすると、外部接続端子 4 に $VGS + VC$ 以上の電圧が印加されると、MOS トランジスタ 14 のゲート電位は VGS 以上に上昇し、MOS トランジスタ 14 がオンするので、MOS トランジスタ 14 のドレインからサージを吸収することができる。つまり、電源がオンの時とオフの時とでサージ保護素子としての動作開始電圧を $BVDSS$ と $VGS + VC$ とに切替えることができる。電源が入り通常動作しているときには、サージ保護素子の動作開始電圧を外部接続端子 4 にかかる最大電圧以上に設定することで、外部接続端子 4 と内部回路 3 との間の信号のやりとりに影響が無いようにできる。電源がオフの状態では、外部接続端子 4 に + サージが印加されてもサージ保護素子の働きで外部接続端子 4 の電圧は約 $VGS + VC$ に抑えられ、内部回路 3 にかかる電圧も低く抑えられる。

【0074】 以上のように第 4 の実施の形態によれば、サージ吸収用の MOS トランジスタと、前記 MOS トランジスタのゲートの接続状態を変更するための制御回路と、サージ印加時に外部接続端子の電位をゲート電位に伝達させる容量とを備えることにより、サージ保護素子の動作開始電圧を切替えることができる。

【0075】 以上の第 3 の実施の形態および第 4 の実施の形態ではサージ保護の MOS トランジスタとして Nch -MOS トランジスタを例に示してきたが、 Pch -MOS トランジスタを用いる場合は図 23 に示すような回路で構成することができ、- サージに対しての保護素子として動作する。

【0076】 また、一般的にこの場合サージ放電端子 19 および、 Pch -MOS トランジスタのバックゲートは半導体集積回路の最高電位に接続することが多いと推定される。

【0077】 これらが最高電位である電源端子 18 に接続された場合を図 24 に示す。この場合、電源オンでは電流源 26 の電流が抵抗 27 とトランジスタ 29 のベースに流れてトランジスタ 29 はオンし、MOS トランジスタ 35 のゲートとソースがほぼ同じ電位になり、MOS トランジスタ 35 のブレイクダウン電圧は $BVDSS$ となる。このブレイクダウン電圧は外部接続端子 4 が最低電位のときでも MOS トランジスタ 35 が動作しない値に設定しておけば半導体集積回路 10 が動作している時には信号のやりとりに影響を与えることのないサージ保護素子として使用できる。

【0078】 電源オフの場合はトランジスタ 29 のベ

20

ス電流が流れないのでトランジスタ 29 はオフし、MOS トランジスタ 35 のゲートは外部接続端子 4 から抵抗 36 でバイアス状態になり、MOS トランジスタ 35 をオン状態にして + サージを吸収することができる。すなわち、 Nch -MOS トランジスタの場合と同様の効果をもたらすことができる。

【0079】 同様な考えで、上記 Nch -MOS トランジスタで説明してきたことが Pch -MOS トランジスタでも可能となる。また、以上に記載のサージ保護素子および、従来のサージ保護素子は複数組み合わせ使用することも可能で、図 25 に一例を示す。

【0080】 この回路の場合、電源オン時には電流源 6 および電流源 44 が電流を流すので、スイッチ 43 がトランジスタ 41 側に切替わっている時にはトランジスタ 37 およびトランジスタ 1 は共に $BVCES$ が動作開始電圧となる。また、スイッチ 43 がトランジスタ 42 側に切替わるとトランジスタ 37 は $BVCEO$ が動作開始電圧となり、トランジスタ 1 よりも低電圧で動作できるのでこの場合はトランジスタ 37 の $BVCEO$ がサージ保護素子の動作開始電圧となる。電源がオフ状態では、電流源 6 および電流源 44 とともに電流が流れなくなり、トランジスタ 1 は VBE が動作開始電圧、トランジスタ 37 は $BVCEO$ が動作開始電圧となり、低電位で動作をはじめるトランジスタ 1 による VBE がサージ保護素子としての動作開始電圧となる。つまりこの場合は、サージ保護素子の動作開始電圧を $BVCES$ 、 $BVCEO$ 、 VBE の 3 状態に切替えることができる。

【0081】 これらの構成により、一時的に高電圧を使用する回路の場合には高電圧使用時と通常使用時とでサージ保護素子の動作開始電圧とを切替えることにより通常使用時のサージによる影響を極力抑えることができる。また、半導体回路の使用状態と未使用状態とでサージ保護素子の動作開始電圧を切替えることで、半導体回路が単体で存在しているときの極めてサージの影響を受けやすい状態の場合にはサージ吸収能力の高い保護素子として動作し、かつ実動作時には半導体回路の動作には影響を与えない素子として動作することができる。このため、半導体集積回路の運搬中並びに実装工程などでのサージの発生し易い状況でも強力なサージ保護素子として動作し、半導体集積回路の内部回路をサージから守ることができる。

【0082】

【発明の効果】 以上のように本発明は、トランジスタ型のサージ保護素子にトランジスタのベースの接続を切替えるためのスイッチを備えることにより、サージ保護回路装置の動作開始電圧を切替えることができ、優れたサージ保護素子を実現できて半導体集積回路のサージ保護能力を強化できるものである。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態におけるサージ保護回

21

路装置を示す回路図

【図 2】本発明の第 1 の実施形態におけるサージ保護回路装置を示す第 1 の補足図

【図 3】本発明の第 1 の実施形態におけるサージ保護回路装置を示す第 2 の補足図

【図 4】本発明の第 1 の実施形態におけるサージ保護回路装置を示す第 3 の補足図

【図 5】本発明の第 1 の実施形態におけるサージ保護回路装置を示す第 4 の補足図

【図 6】本発明の第 1 の実施形態におけるサージ保護回路装置を示す第 5 の補足図 10

【図 7】本発明の第 1 の実施形態におけるサージ保護回路装置を示す第 6 の補足図

【図 8】本発明の第 1 の実施形態におけるサージ保護回路装置を示す第 7 の補足図

【図 9】本発明の第 1 の実施形態におけるサージ保護回路装置を示す第 8 の補足図

【図 10】本発明の第 1 の実施形態におけるサージ保護回路装置を示す第 9 の補足図

【図 11】本発明の第 1 の実施形態におけるサージ保護回路装置を示す第 10 の補足図 20

【図 12】本発明の第 2 の実施形態におけるサージ保護回路装置を示す回路図

【図 13】本発明の第 2 の実施形態におけるサージ保護回路装置を示す第 1 の補足図

【図 14】本発明の第 2 の実施形態におけるサージ保護回路装置を示す第 2 の補足図

【図 15】本発明の第 2 の実施形態におけるサージ保護回路装置を示す第 3 の補足図

【図 16】本発明の第 2 の実施形態におけるサージ保護回路装置を示す第 4 の補足図 30

【図 17】本発明の第 1 の実施形態におけるサージ保護回路装置を示す第 5 の補足図

【図 18】本発明の第 1 の実施形態におけるサージ保護回路装置を示す第 6 の補足図

【図 19】本発明の第 3 の実施形態におけるサージ保護回路装置を示す回路図

【図 20】本発明の第 3 の実施形態におけるサージ保護回路装置を示す第 1 の補足図

【図 21】本発明の第 3 の実施形態におけるサージ保護回路装置を示す第 2 の補足図 40

【図 22】本発明の第 4 の実施形態におけるサージ保護回路装置を示す回路図

【図 23】本発明の第 3 の実施形態におけるサージ保護回路装置を示す第 1 の補足図

【図 24】本発明の第 3 の実施形態におけるサージ保護回路装置を示す第 2 の補足図

【図 25】本発明の第 1 の実施形態から本発明の第 4 の

22

実施形態におけるサージ保護素子を複数用いたサージ保護回路装置の回路図

【図 26】従来のサージ保護回路装置を示す回路図

【図 27】従来のサージ保護回路装置を示す第 1 の補足図

【図 28】従来のサージ保護回路装置を示す第 2 の補足図

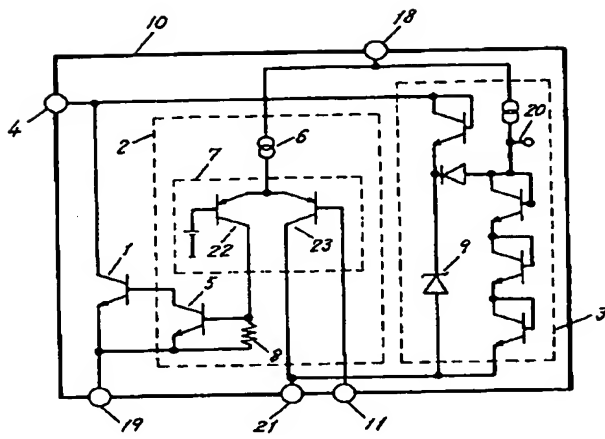
【図 29】従来のサージ保護回路装置を示す第 3 の補足図

【図 30】従来のサージ保護回路装置を示す第 4 の補足図

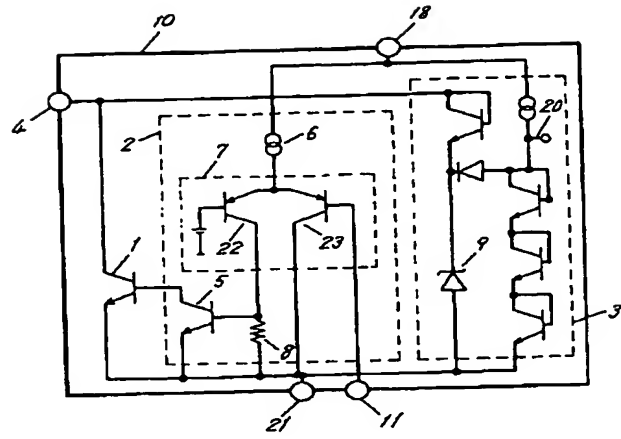
【符号の説明】

- 1 トランジスタ
- 2 制御回路
- 3 内部回路
- 4 外部接続端子
- 5 制御回路
- 6 電流源
- 7 スイッチ
- 8 抵抗
- 9 ツェナーダイオード
- 10 半導体集積回路
- 13 制御回路
- 14 MOS トランジスタ
- 17 抵抗
- 18 電源端子
- 19 サージ放電端子
- 20 ZAP 調整出力端子
- 21 接地端子
- 22, 23 制御回路
- 24 電源
- 25 ZAP 書き込み電源
- 26 電流源
- 27 抵抗
- 28, 29 トランジスタ
- 30 抵抗
- 31 エミッタホロウ出力端子
- 32, 33 抵抗
- 34 容量
- 35 MOS トランジスタ
- 36 抵抗
- 37 トランジスタ
- 38 制御回路
- 39 トランジスタ
- 40 抵抗
- 41, 42 トランジスタ
- 43 スイッチ
- 44 電流源

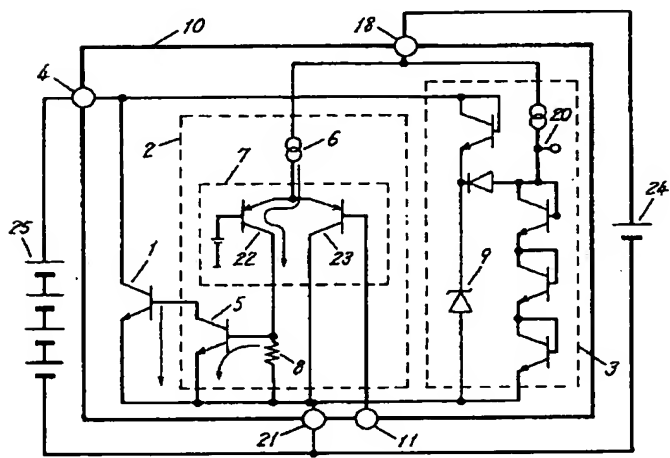
【図 1】



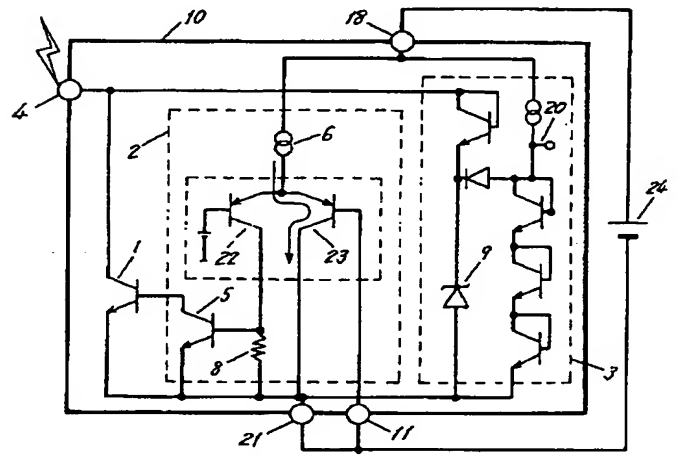
【図 2】



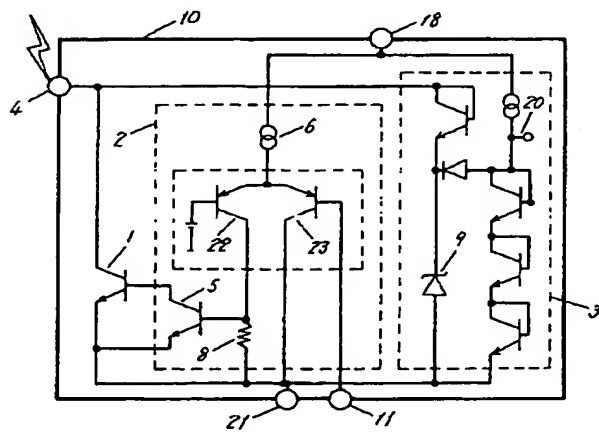
【図 3】



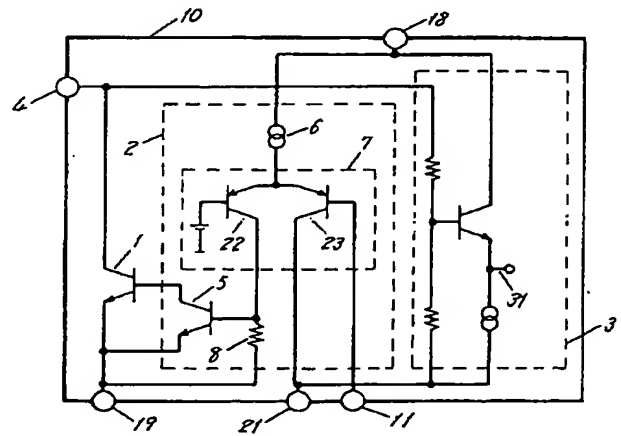
【図 4】



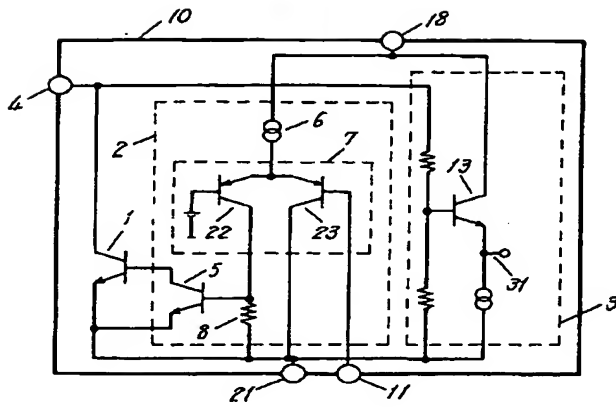
【図 5】



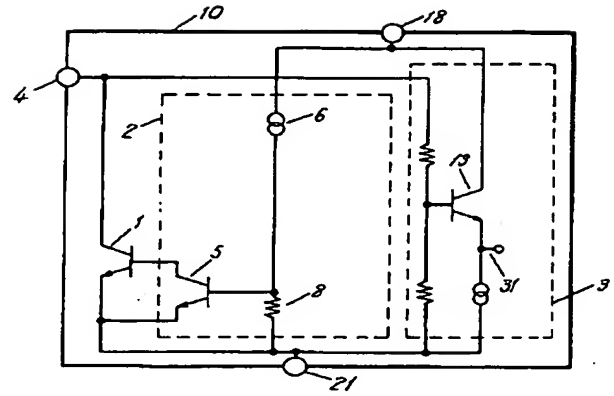
【図 6】



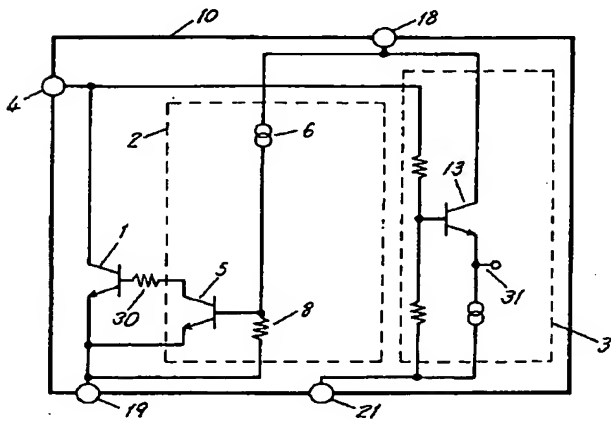
【図7】



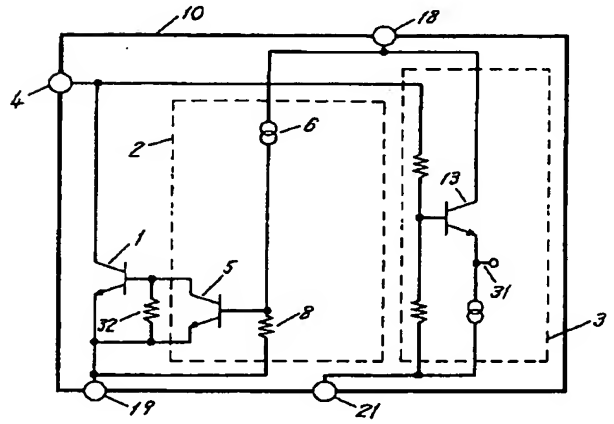
【図8】



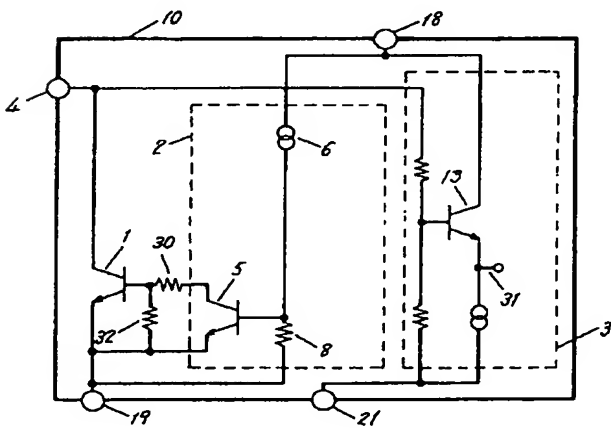
【図9】



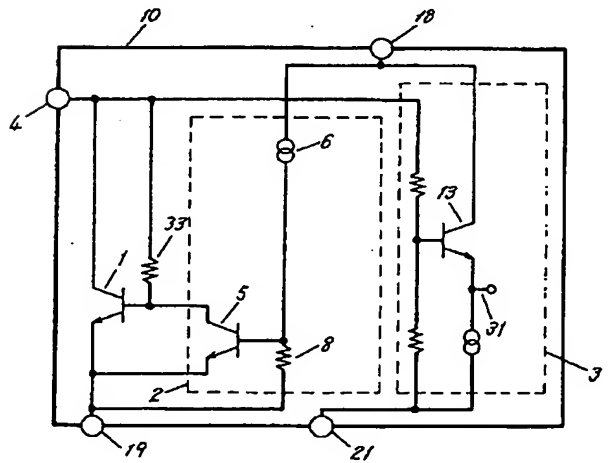
【図10】



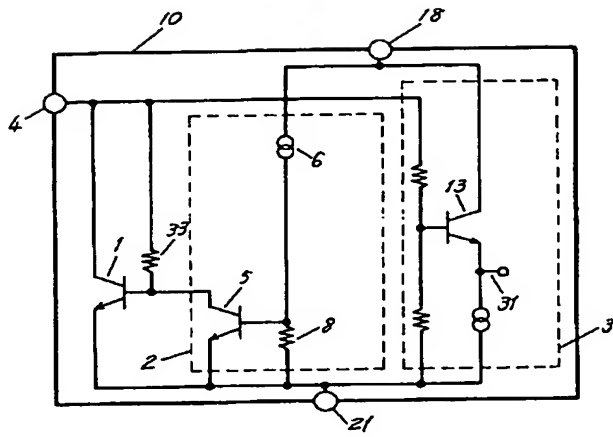
【図11】



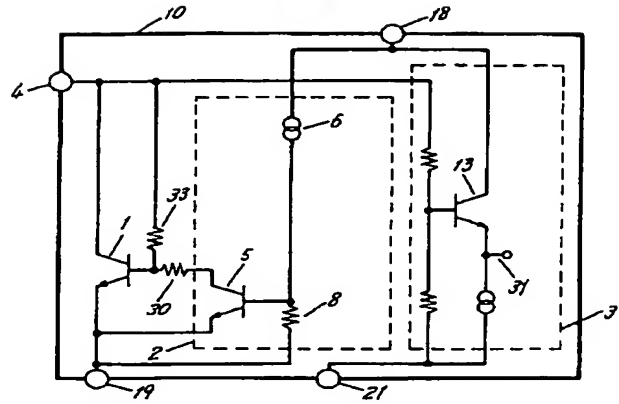
【図12】



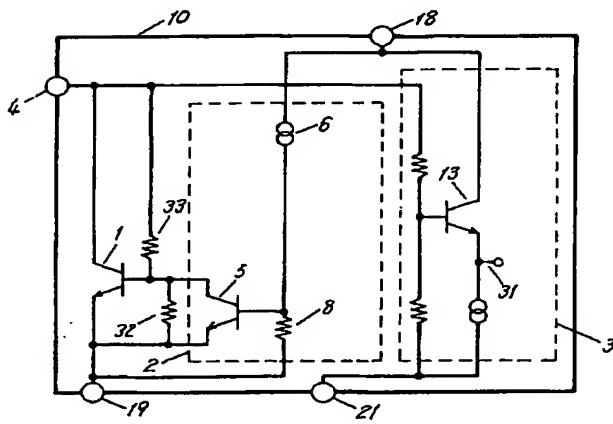
【図13】



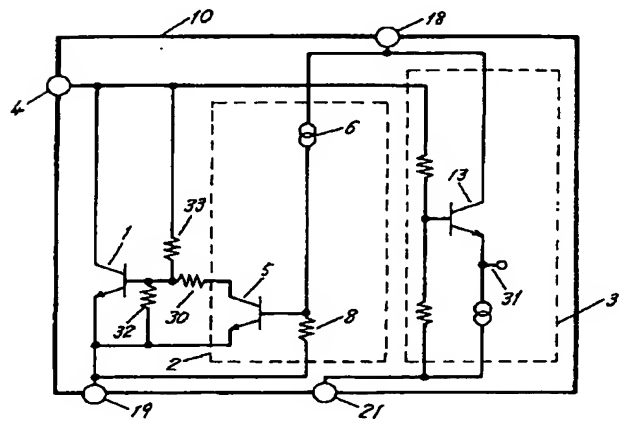
【図14】



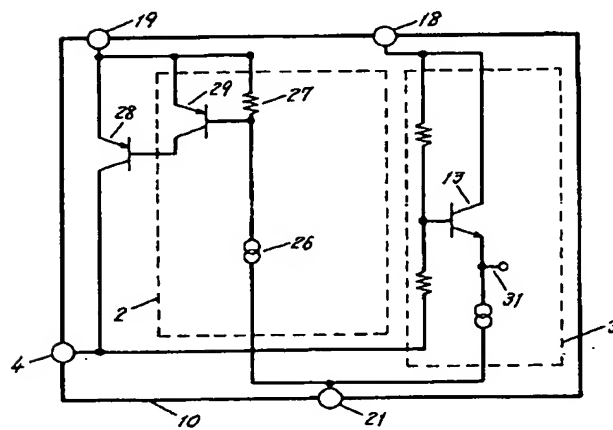
【図15】



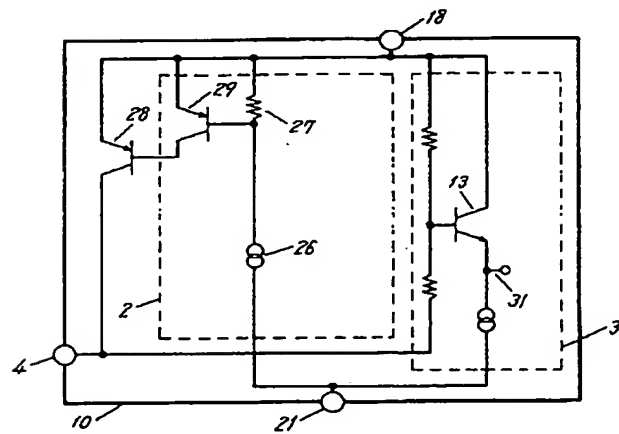
【図16】



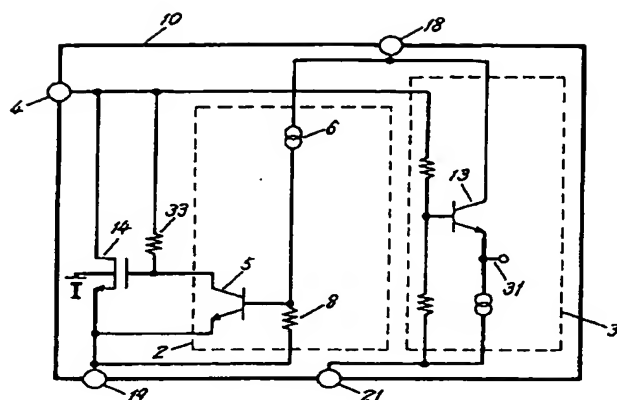
【図17】



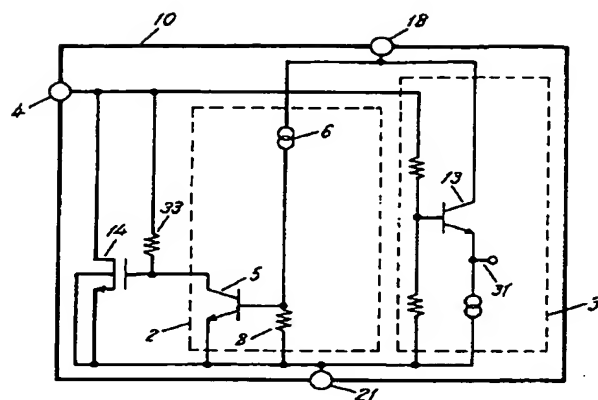
【図18】



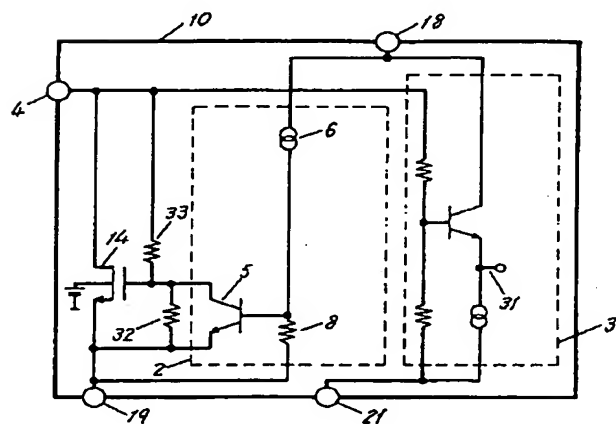
【图 19】



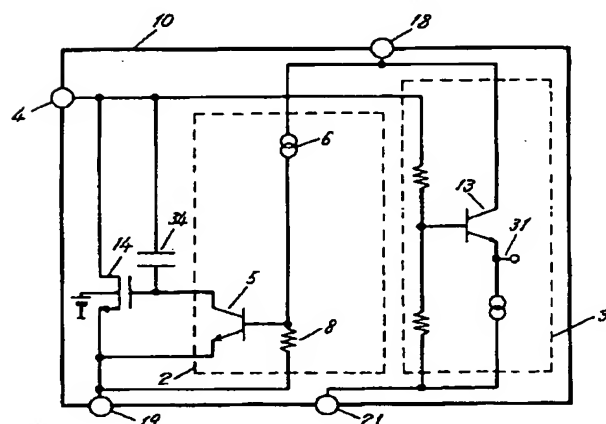
【圖 20】



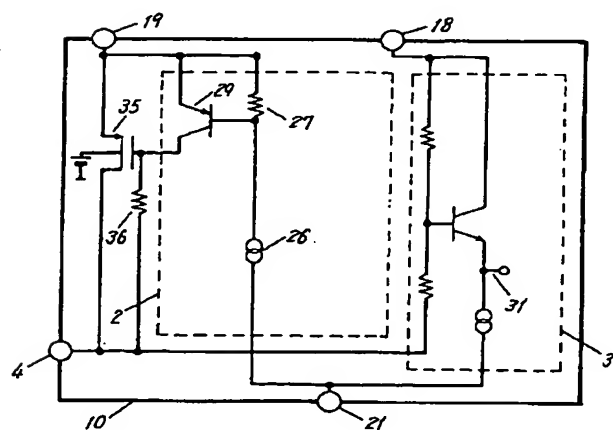
【圖 2 1】



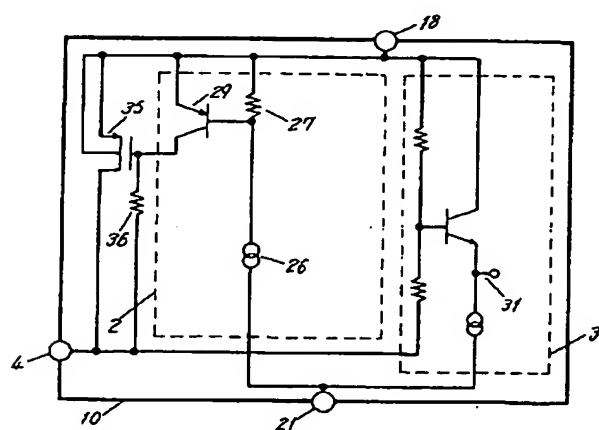
【图 2 2】.



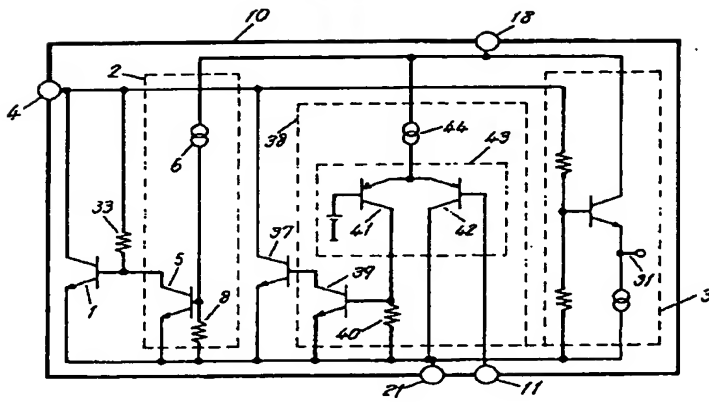
【圖 23】



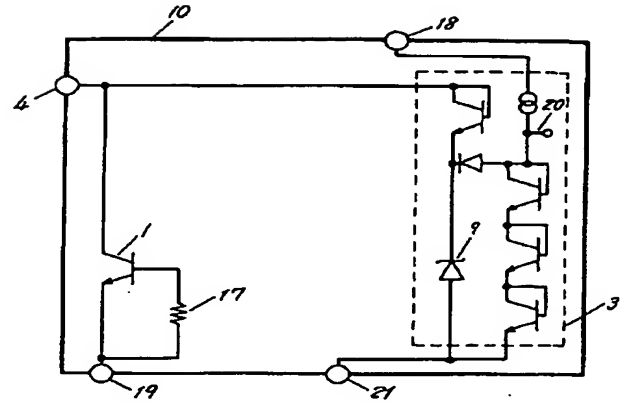
【圖 2 4】



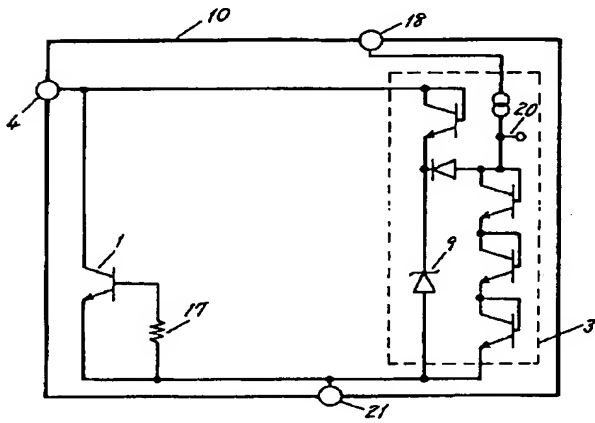
【図25】



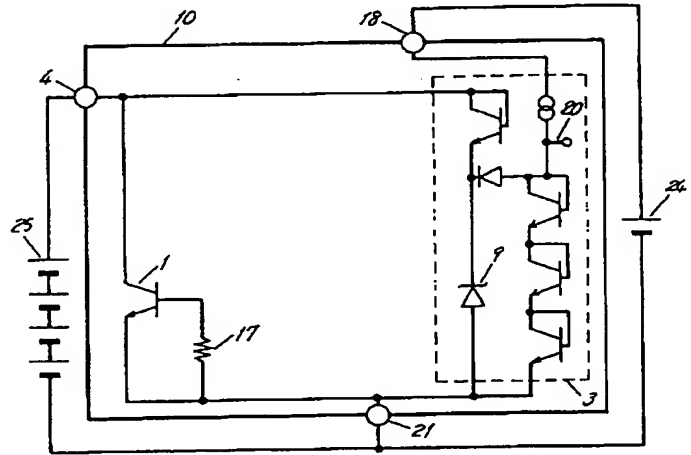
【図26】



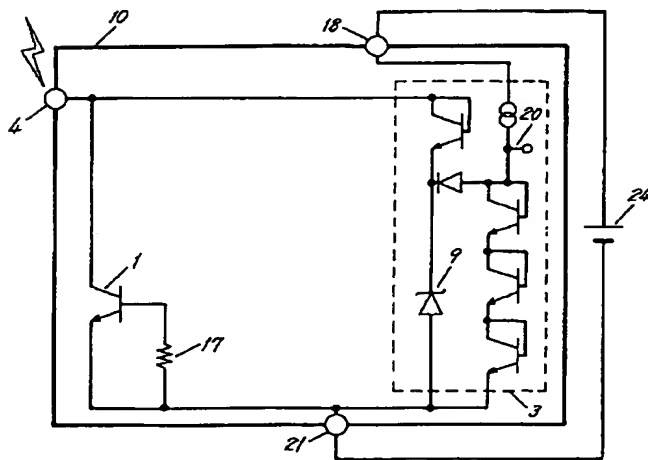
【図27】



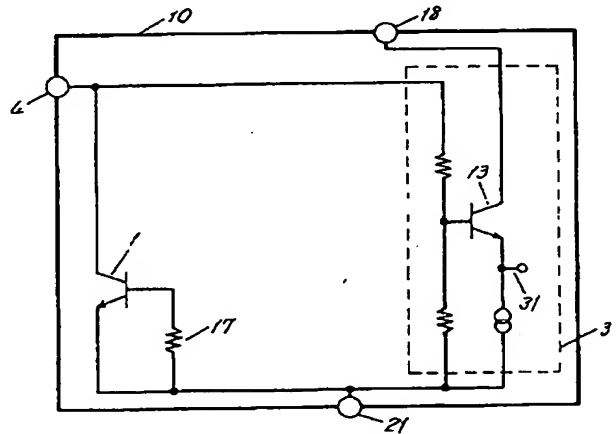
【図28】



【図29】



【図30】



フロントページの続き

(72)発明者 齊藤 浩
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 南 善久
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
Fターム(参考) 5F038 BH02 BH05 BH06 BH07 BH13
EZ20
5G013 AA02 AA16 BA02 CB02 DA05